

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-284139

(43)公開日 平成11年 (1999) 10月15日

(51)Int. Cl. <sup>6</sup>

H 0 1 L 27/108  
21/8242

識別記号

F I

H 0 1 L 27/10 6 2 1 C

審査請求 有 請求項の数12 O L 外国語出願 有 (全 44 頁)

(21)出願番号 特願平10-103252

(22)出願日 平成10年 (1998) 3月11日

(71)出願人 397031108

世界先進積體電路股▲ふん▼有限公司  
台湾新竹科学工業園区新竹県園区三路123  
号

(72)発明者 陳 立業

台湾新竹市青草湖160巷55號8樓

(72)発明者 廖 瑛瑞

台湾新竹縣竹東鎮竹中路25-2號 7樓之4

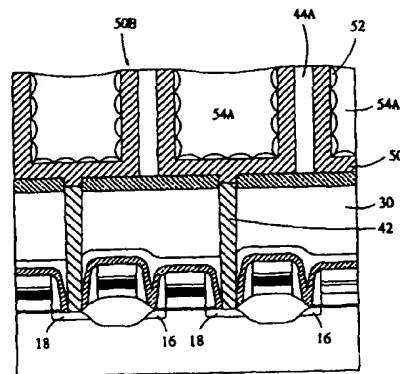
(74)代理人 弁理士 中村 稔 (外7名)

(54)【発明の名称】 ダイナミックランダムアクセスメモリのクラウンタイプキャパシタに関する方法

(57)【要約】 (修正有)

【課題】 DRAMにおける大容量のクラウン型キャパシタの製造方法を提供する。

【解決手段】 メモリ装置構造体と基板上に第1絶縁層30とエッチング封止層が形成され、これら両層を貫通して接続孔が形成され、接続孔内を充填するようにポリシリコンプラグ42が形成される。エッチング封止層とプラグ上に平面化層44が形成され、プラグを露出させるようにクラウン孔が平面化層に形成される。第1ポリSi層50がエッチング封止層、プラグ42、及び第1平面化層の残り部分44A上に蒸着される。第1ポリSi層50上にBPSG、SiO<sub>2</sub>、フォトレジスト等からなる犠牲層54が形成され、クラウン孔が充填される。平面化層44A上の第1ポリSi層50の露出部分を除去するため、犠牲層と第1ポリSi層はエッチバックされ、犠牲層は選択除去されクラウン状記憶電極棒42、50ができ、その上に容量絶縁膜と上部電極が形成されDRAMが完成する。



## 【特許請求の範囲】

【請求項1】メモリデバイスのためのクラウンキャパシタを製造するための方法であって、

(a) 半導体デバイス製造のデバイス区域を離れようとするところで、基板の表面上に選択的に隔離区域を形成する段階と、

(b) 上記基板デバイス区域内に上記デバイス構造体を形成し、そのデバイス構造体は上記基板にキャパシタ接続点接触地帯を含んだ構成としておく段階と、

(c) 上記デバイス構造体と上記基板上に第一絶縁層を形成する段階と、

(d) 上記第一絶縁層上にエッチング封止層を形成する段階と、

(e) 上記基板上の上記キャパシタ接続点接触地帯を露出させるため、上記エッチング封止層と上記第一絶縁層を通して接続点接触孔を形成する段階と、

(f) 上記キャパシタ接続点接触地帯と電氣的及び機械的に接触させながら上記接続点接触孔を満たすプラグを形成する段階と、

(g) 上記エッチング封止層と上記プラグ上に平面化層を形成する段階と、

(h) 上記プラグと上記エッチング封止層の周辺部を露出させながら上記平面化層にクラウン孔を形成し、そのクラウン孔は上記平面化層の残り部分により輪郭形成されるようにする段階と、

(i) 上記クラウン孔を部分的に充填させながら上記エッチング封止層、上記プラグ、及び第一平面化層の残り部分上に第一ポリシリコン層を蒸着させる段階と、

(j) 上記第一ポリシリコン層上に犠牲層を形成しこれにより上記クラウン孔を充填する段階と、

(k) 上記平面化層の上記残り部分上の上記第一ポリシリコン層を露出させるため上記犠牲層の上部を取り除くが、上記犠牲層の上記上部部分は、エッチングバックと化学的機械的研磨から成るグループから選択されたプロセスによって取り除かれる段階と、

(l) 上記平面化層の上記残り部分の上部上の上記第一ポリシリコン層の露出部を取り除く段階と、

(m) 上記犠牲層の残り部分と上記平面化層を選択的に取り除き、それによりクラウン状記憶電極棒を形成する段階と、

(n) 上記クラウン状記憶電極棒上にキャパシタ誘電層と上部電極棒を形成する段階、から構成されていることを特徴とする方法。

【請求項2】上記第一ポリシリコン層が、ドーピングされたポリシリコン層と半球状グレイン(HSG)層の二層から成ることを特徴とする請求項1に記載の方法。

【請求項3】デバイスが、ゲート構造体、スペーサー、理想的にはテトラエチルオルトシラン(TEOS)からできたシリコン酸化物から成る第一隔離層、望ましくはシリコン酸化物、ホウ亜リンケイ酸塩ガラス及びホ

ウケイ酸塩ガラス(BSG)から成る第二隔離層、そしてビットライン接触とビットラインから構成されることを特徴とする請求項1に記載の方法。

【請求項4】上記第一絶縁層が、シリコン酸化物、ホウ亜リンケイ酸塩ガラス、及びサブ空中酸化処理で形成されるシリコン酸化物から成るグループから選択された物質で、形成されることを特徴とする請求項1に記載の方法。

【請求項5】上記接続点接触孔の開口サイズが約0.18から0.35 $\mu\text{m}$ の範囲であることを特徴とする請求項1に記載の方法。

【請求項6】上記プラグがドーピングされたポリシリコンでできており、上記プラグは厚さ約3,000から4,500Åの範囲のドーピングされたポリシリコン層を蒸着させ、上記ドーピングされたポリシリコン層をエッチングすることで形成されることを特徴とする請求項1に記載の方法。

【請求項7】上記平面化層が、ホウ亜リンケイ酸塩ガラス、シリコン酸化物及びスピノオンガラスから成るグループより選択された物質から成り、厚さが約7,000から13,000Åの範囲であることを特徴とする請求項1に記載の方法。

【請求項8】上記クラウン孔における開口部のサイズが約0.3から0.8 $\mu\text{m}$ の範囲であることを特徴とする請求項1に記載の方法。

【請求項9】上記第一ポリシリコン層がドーピングされたポリシリコンから成り、厚さが約300から500Åの範囲であることを特徴とする請求項1に記載の方法。

【請求項10】上記HSG層において、厚さが約300から700Åの範囲であることを特徴とする請求項1に記載の方法。

【請求項11】上記犠牲層が、BPSG、シリコン酸化物、ポリマー、及びフォトレジスト物質から成るグループより選択された物質から形成され、上記犠牲層の厚さが約4,500から10,000Åの範囲であることを特徴とする請求項1に記載の方法。

【請求項12】メモリデバイスのためのクラウンキャパシタを製造するための方法であって、

(a) 半導体デバイス製造のデバイス区域を離れようとするところで、基板の表面上に選択的に隔離区域を形成する段階と、

(b) 上記基板デバイス区域内に上記デバイス構造体を形成し、そのデバイス構造体は上記基板にキャパシタ接続点接触地帯を含んだ構成としておく段階であって、

(1) デバイスがゲート構造体、スペーサー、テトラエチルオルトシラン(TEOS)からできたシリコン酸化物から成る第一隔離層、シリコン酸化物から成る第二隔離層、そしてビットライン接触とビットラインから構成されているそのような段階と、

(c) 上記デバイス構造体と上記基板上に第一絶縁層を形成する段階であって、

(1) 上記第一絶縁層は、シリコン酸化物、BPSG、及びサブ空中酸化処理で形成されるシリコン酸化物から成るグループから選択された物質で形成されている、そのような段階と、

(d) 上記第一絶縁層上にエッチング封止層を形成する段階であって、

(1) 上記エッチング封止層は、シリコン窒化物、シリコン酸素窒化物、及びTEOS酸化物から成るグループより選択された物質から形成され、上記エッチング封止層の厚さが約50から200Åの範囲にある、そのような段階と、

(e) 上記基板上の上記キャパシタ接続点接触地帯を露出させるために、上記エッチング封止層と上記第一絶縁層を通して接続点接触孔を形成する段階であって、

(1) 上記接続点接触孔の開口サイズが約0.18から0.35  $\mu\text{m}$ の範囲であるそのような段階と、

(f) 上記キャパシタ接続点接触地帯と電氣的及び機械的に接触させながら上記接続点接触孔を満たすプラグを形成する段階であって、

(1) 上記プラグがドーピングされたポリシリコンでできており、上記プラグは厚さ約3,000から4,500Åの範囲のドーピングされたポリシリコン層を蒸着させて、上記ドーピングされたポリシリコン層をエッチングすることで形成されている、そのような段階と、

(g) 上記エッチング封止層と上記プラグ上に平面化層を形成する段階であって、

(1) 上記平面化層が、ホウ亜リンケイ酸塩ガラス、シリコン酸化物、及びスピノンガラスから成るグループより選択された物質から成り、その厚さが約7,000から13,000Åの範囲にある、そのような段階と、

(h) 上記プラグと上記エッチング封止層の周辺部を露出させながら上記平面化層にクラウン孔を形成し、そのクラウン孔は上記平面化層の残り部分により輪郭形成されるようにする段階であって、

(1) 上記クラウン孔の開口部のサイズが、約0.3から0.8  $\mu\text{m}$ の範囲にある、そのような段階と、

(i) 上記クラウン孔を部分的に充填させながら上記エッチング封止層、上記プラグ、及び第一平面化層の残り部分上に第一ポリシリコン層を蒸着させる段階であって、

(1) 上記第一ポリシリコン層がドーピングされたポリシリコンから成り厚さが約300から500Åの範囲にある、そのような段階と、

(j) 上記第一ポリシリコン層上に半球状グレイン(HSG)層を形成する段階であって、

(1) 上記HSG層の厚さは約300から700Åの範囲にある、そのような段階と、

(k) 上記第一ポリシリコン層上に犠牲層を形成しこれ

により上記クラウン孔を充填する段階であって、

(1) 上記犠牲層が、BPSG、シリコン酸化物、ポリマー、或いはフォトレジスト物質から成るグループより選択された物質から形成され、上記犠牲層の厚さが約4,500から10,000Åの範囲にある、そのような段階と、

(1) 上記平面化層の上記残り部分の上記第一ポリシリコン層を露出させるため上記犠牲層の上部を取り除くが、上記犠牲層の上記上部部分は、エッチングバックと化学的機械的研磨から成るグループから選択されたプロセスによって取り除かれる段階と、

(m) 上記平面化層の上記残り部分の上部の上記第一ポリシリコン層の露出部を取り除く段階と、

(n) 上記犠牲層の残り部分と上記平面化層を選択的に取り除き、それによりクラウン状記憶電極棒を形成する段階と、

(o) 上記クラウン状記憶電極棒上にキャパシタ誘電層と上部電極棒を形成する段階、から構成されていることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、広義においてDRAM素子におけるキャパシタの製造、特に大きなキャパシタンスを有するビットライン上キャパシタを製造するための方法、さらに限定するとクラウン円柱形キャパシタのための方法に関する。

【0002】

【従来の技術】 超大規模集積回路(VLSI)半導体技術によりチップ上の回路集積度は著しく高くなった。半導体基板中や基板上に、小型化されたデバイスは密に接近して搭載されており、その集積度が非常に高くなった。移相マスクや自己整列処理段階のようなフォトリソグラフィ技術におけるより最近の進歩によって、デバイスはさらに小型化し回路集積度は一層高くなった。これは、装置の最小サイズが1マイクロメートル未満、チップ上のトランジスタが百万を上回る極超大規模集積回路(ULSI)へと進んだ。集積度が高くなったことで、回路エレメントにおいてはそのサイズ小型化により電氣的に制限を受けるものも出てきた。このような電氣的制限を受けた内の一つにダイナミックランダムアクセスメモリ(DRAM)チップの記憶素子のアレイがある。個々のDRAM記憶素子は、大体において単一の金属酸化物半導体電界効果トランジスタ(MOS-FET)から成り、電子産業界ではデータ記憶のために単一のキャパシタが広く使用されている。単一のDRAM素子は、電流が流れるとキャパシタ上に1ビットのデータを記憶する。記憶素子区域の減少により生じる素子容量の減少は、ダイナミックランダムアクセスメモリ(DRAMs)の集積度を増大させる上で深刻な障害となる。素子容量が減少すると、切迫した装置作動による低電圧作動中に過度に電力を消費するばかりでなく、読み出し

性能が悪化しメモリ素子のソフトエラーの割合が増すので、素子容量減少問題は半導体メモリデバイスの集積度をさらに高めるためには解決しなければならない問題である。従って、素子容量を向上させるためには、立体構造を有する集積型キャパシタが望ましい。集積型キャパシタには、例えば二重集積、フィン構造、円柱体、拡大集積、箱型構造などのキャパシタが含まれる。

【0003】以下の米国特許は関連するプロセスとキャパシタ構造を示している。即ち、米国5,543,345(リャウ他)、米国5,550,076(チェン)、米国5,604,146(ツェン)、米国5,491,103(アン他)、米国5,545,584(ウー他)は、統一型接触プラグプロセスを示している。しかしながら、先行技術方式の多くは実質的により多くの処理段階、及び／又は平面的構造を必要としており、これは製造工程をより入り組んだものにし、コストアップにつながる。製造コストを最低限に抑え、デバイス生産高を最大にするキャパシタを製造する方法を開発することは挑戦である。特に、フォトリソグラフィマスクング操作の回数を最小限にとどめる方法を開発すること、そして生産性を最大にするための最大処理許容差を提供することは挑戦である。また、フォトリソグラフィ技術によるサイズ制限を受けないキャパシタを開発することも挑戦である。

【0004】

【課題を解決するための手段】本発明の目的は、高集積度と大容量を有するキャパシタを製造するための方法を提供することにある。本発明の目的は、高集積度と大容量を有するDRAMとキャパシタを、低いコストで容易に製造するための方法を提供することにある。本発明の目的は、写真技術の限界を越えて、且つマスクング段階の回数を減少させるキャパシタを製造するための方法を提供することにある。本発明の目的は、高集積度と大容量を有するキャパシタを備えたダイナミックランダムアクセスメモリ(DRAM)を、低いコストで容易に製造するための方法を提供することにある。

【0005】本発明の目的は、クラウン内に半球状グレイン(HSG)を蒸着して、HSGグレイン片が漏れを誘発するという問題を回避させることのできるクラウンキャパシタを製造するための方法を提供することにある。以上の目的を完遂するため、メモリデバイスのためのクラウンキャパシタ製造の方法を提供しようとする本発明は、(a)図1参照半導体デバイス製造で、デバイス区域を離れようとするところで、基板10表面上に選択的に隔離区域12を形成し、(b)基板デバイス区域内にデバイス構造体20、22、24、26、28、29を形成し、デバイス構造体が基板10にキャパシタ接続点接触地帯18(例:ドレン地帯)を含んだ構成としておき、(c)図1一構造体と基板10上に第一絶縁層30を形成し、(d)図2一第一絶縁層上にエッチング封止層34を形成し、(e)基板上のキ

ャパシタ接続点接触地帯を露出させるため、エッチング封止層34と第一絶縁層30を貫く接続点接触孔40を形成し、(f)図2一キャパシタ接続点接触地帯18と電氣的、機械的に接触させながら接続点接触孔40を満たすプラグ42を形成し、(g)図3一エッチング封止層34とプラグ42上に平面化層44を形成し、(h)プラグ42とエッチング封止層34の周辺部を露出させながら平面化層44にクラウン孔46を形成し、そのクラウン孔は平面化層の残り部分44Aにより輪郭が定められるようにしておき、(i)図4一クラウン孔を部分的に充填させながら、エッチング封止層、プラグ42、そして第一平面化層残り部分44A上に第一ポリシリコン層50を蒸着させ、(j)光学的処理一第一ポリシリコン層50上にHSG層52を形成し、(k)図5一第一ポリシリコン層50上にホウ亜リンケイ酸塩ガラスからなる犠牲層54を形成し、これによりクラウン孔46を充填しておき、(l)平面化層の残り部分44A上の第一ポリシリコン層を露出させるため犠牲層54の上部を取り除くが、犠牲層54の上部はエッチングバックと化学的機械的研磨により取り除き、(m)平面化層の残り部分44Aの上部上の第一ポリシリコン層50の露出部を取り除き、(n)犠牲層54平面化層44Aの残り部分を選択的に取り除き、それによりクラウン状記憶電極棒42、50を形成し、(o)クラウン状記憶電極棒42、50上にキャパシタ誘電層56と上部電極棒58を形成することを特徴としている。

【0006】第一絶縁層は、シリコン酸化物、BPSG及びサブ空中酸化プロセスによって形成されるシリコン酸化物からなるグループより選択された物質で構成されるのが望ましい。エッチング封止層は、シリコン窒化物、シリコン酸素窒化物、もしくはTEOS酸化物から成り、エッチング封止層34の厚さは約50から200Åの範囲が理想的である。接続点接触孔40は、開口サイズが約0.18から0.35 $\mu$ mの範囲であることが望ましい。理想的には、プラグ42は、ドーピングされたポリシリコンから成り、そのプラグは、厚さ約3,000から4,500Åの範囲のドーピングされたポリシリコン層を蒸着させ、ドーピングされたポリシリコン層をエッチングバックすることで形成される。

【0007】平面化層44はホウ亜リンケイ酸塩ガラス、シリコン酸化物又はスピノンガラスで形成され、約7,000から13,000Åの範囲の厚さであることが望ましい。クラウン孔46の開口サイズは約0.3から0.8 $\mu$ mの範囲であると良い。第一ポリシリコン層50はドーピングされたポリシリコンでできており、厚さが約300から500Åの範囲にあるのが理想である。半球状グレイン(HSG)は、厚さが約300から700Åの範囲であることが望ましい。犠牲層54はホウ亜リンケイ酸塩ガラス、シリコン酸化物、ポリマーもしくはフォトリソ物質で形成され、厚さが約4,500から10,000Åの範囲にあることが

好ましい。

【0008】本発明は、既知の処理技術との関係においてこれらの利点を達成する。しかし後述の明細書及び添付図面を参照していただくことで、本発明の性質及び優位点に対する理解がより深まるであろう。本発明には次に掲げる利点がある。

(1) エッチング封止層は、プラグ42（図2参照）と犠牲層44Aエッチングバック（図6及び図7参照）を形成するために、下層の第一絶縁層30を選択的エッチングから保護する。更に、エッチング封止層34は、応力を減少させ生産性を向上させるシリコン酸素窒化物で構成されているのが望ましい。またエッチング封止層34はTEOS酸化物のような酸化物よりエッチング選択性も高い。

(2) ポリシリコンプラグ42処理は特に0.25 $\mu$ m及びそれよりも小さな処理において、凹凸を減じて焦点深度（DOF）マージンを得ることにより、フォトリソグラフィの精度を向上させる。従来のプラグ孔はクラウン孔46エッチング（図4参照）の後で定められる。ポリシリコンプラグ42処理（図2参照）は、エッチング封止層34上にポリシリコン層を形成すること及びポリシリコン層をエッチングバックすることから成る。

【0009】(3) その内表面上のみに半球状グレイン（HSG）52を有するクラウン円柱電極棒50は外のクラウン壁から落下する可能性のあるHSGグレインを除去する。本発明の付加目的及び利点は、次に詳しく述べるが、一部はその記述から明らかになるであろうし、又、本発明を具現化してみれば理解できるであろう。本発明の目的及び利点は、添付の請求項で特に指摘される手段と組み合わせによって実現享受されるであろう。

【0010】

【発明の実施の形態】本発明は、添付の図によって詳しく説明される。本発明は、ビットライン上にクラウンキャパシタを形成する方法を提供するものである。重要な特徴は、エッチング封止層34と早期のプラグ42形成プロセスである。以下の説明においては、本発明をより総括的に理解できるように、流量、圧力設定、厚さなどのような多くの特定詳細事項について述べる。しかし、本発明がこれらの詳細事項抜きでも具現化可能であることは、当業者にとっては自明のことである。又、本発明を不必要に分かり難くしないために、既知のプロセスについては詳しく述べていない。この実施例で述べられていない付加的プロセス段階を含み、別タイプのデバイスもDRAMチップ上に設けられうことは、当業者には容易に理解されるはずである。例えば、P基板内のPウェルとCMOS回路がこれから形成される。また図面には、基板上に同時に作られる素子群の中のたった一つのDRAM記憶素子しか描かれていないことも理解されなければならない。またキャパシタは、DRAMチップだけでなく、別タイプのチップにおいても使用できる。

図面はN-MOSディバイスを示しているが、P-MOSディバイスもしくはN及びP-MOSの組み合わせディバイスも同時に基板上で形成されうことも理解されるべきである。

【0011】メモリデバイスに関わるクラウンキャパシタ製造の方法は、半導体デバイス製造のデバイス区域を離れる際に、基板10の表面上に隔離区域12を選択的に形成することから始まる。基板10は、半導体ウエハ、そのウエハ内に形成される能動・受動デバイス及びウエハ表面に形成される層を含んでいる。「基板」には、半導体ウエハ内に形成されるデバイス及びウエハを覆う層が含まれる。図1は基板のデバイス区域内に形成されるデバイス構造体20、22、24、26を示しているが、このデバイス構造体にはキャパシタ接続点接触地帯18（例：ソース地帯）が含まれる。デバイスは、ゲート構造体20、スペーサ22、ソース地帯18、ドレイン地帯16、第一絶縁層24及び第二絶縁層26から成る。

【0012】ゲート構造体20は、ゲート酸化物層、ポリシリコン／ポリサイト層及び上部ゲート隔離層（すべて層20として示す）から成ることが望ましい。ソース地帯18及びドレイン地帯16は、従来型プロセスを用いた基板に形成される。これらドーピングされた地帯の一つに、キャパシタの底部電極棒が接触するキャパシタ接続点接触地帯がある。ゲート構造体は、形成されるMOSメモリデバイスの一部である。スペーサ22はゲート構造体の側壁に形成されるのが望ましい。第一隔離層24は、望ましくはテトラエチルオルトシラン（TEOS）処理で作り出されるシリコン酸化物から成り、厚さが約300から2,000Åの範囲であるのが理想的である。

【0013】第二隔離層26は、酸化物、ホウ亜リンケイ酸塩ガラス（BPSG）、亜リンケイ酸塩ガラス、ホウケイ酸塩ガラスから形成されているのが望ましく、厚さが約2,000から4,500Åの範囲であるのが理想的である。本発明は、ビットライン上キャパシタ（COB）構造の形態をとっている。ビットライン接触孔28（図9上面図）は、第一隔離層30及び下層のビットラインを露出させる第二隔離層を通して形成されることが望ましい。次に、ビットライン接触孔28は、ビットラインプラグとビットライン29を形成するため、第二ポリシリコン層からのポリシリコンを充填される。これにより、ビットライン上キャパシタ（COB）DRAM構造が出来上がる。この構造は、より高い集積度、より広範なキャパシタ区域を持つことができる。

【0014】図1に示されるように、第一絶縁層30は、第二隔離層26、デバイス構造体、ビットライン及び基板10上に形成される。第一絶縁層は望ましくは、シリコン酸化物、BPSG、SA-酸化処理で作られるシリコン酸化物でできているのが良いが、ホウ亜リ

ンケイ酸塩ガラス (BPSG) から成るのが最も理想的である。第一絶縁層は厚さが約4,500から6,000Åの範囲であるのが望ましい。図2に示されるように、エッチング封止層34は第一絶縁層30上に形成される。エッチング封止層34は、シリコン窒化物 (SiN)、シリコン酸素窒化物、垂リンケイ酸塩ガラス、及びTEOS酸化物でできているのが望ましいが、SiNもしくはシリコン酸化物がより理想的で、SiNから成るのが最も理想的である。SiNまたはシリコン酸化物から成るエッチング封止層34は厚さが約55から200Åの範囲であるのが望ましい。TEOSもしくはPSGから成るエッチング封止層34は厚さが約100から300Åの範囲であるのが望ましい。

#### クラウン50B前の接続点接触孔40とポリプラグ42の形成

重要な段階として、基板10上のキャパシタ接続点接触地帯18を露出させるためにエッチング封止層34と第一絶縁層30を貫いて接続点接触孔40が形成される。接続点接触孔40は、開口サイズが約0.18から0.35 $\mu\text{m}$ の範囲であることが望ましい。プロセスにおいてこれほど早期に接続点接触孔を形成することは、平面化層44にクラウン孔46を形成した後に接続点接触孔を形成するという発明者の以前のプロセスと比較してもフォトリソプロセスが向上しており、よって著しく有利である。図4を参照。加えて、エッチング封止層34は、0.25 $\mu\text{m}$ 及びそれ以下の製品に対して非常に重要な感光処理である。

【0015】図2によると、キャパシタ接続点接触地帯18と電気的機械的接触を作り出しながら接続点接触孔40を満たしてプラグ42が形成される。プラグ42はドーピングされたポリシリコンから成るのが理想的である。プラグは、厚さ約3,000から4,000Åの範囲のドーピングされたポリシリコン層を蒸着させ、ドーピングされたポリシリコン層をエッチングバックさせたり化学的機械的に研磨して形成することが望ましい。本発明のポリシリコンプラグ42処理は、0.25 $\mu\text{m}$ フォトリソプロセスにおいて、より深い焦点深度 (DOF) マージンを得ることができる。ポリシリコンプラグ42プロセス (図2参照) は、エッチング封止層34上にポリシリコン層を形成し、ポリシリコン層をエッチングバックさせることで成り立つ。対照的に、接続点接触を形成させる従来の方法は、層30と44を通して同時にエッチングするというものである。

【0016】図3を見ると、平面化層44がエッチング封止層34とプラグ42上に形成されている。平面化層44は、ホウ亜リンケイ酸塩ガラス (BPSG)、シリコン酸化物、及びスピノンガラス (SOG) から成るのが望ましく、BPSGで形成されるのが最も好ましい、そして理想的には厚さが約7,000から13,000Åの範囲であると良い。図4は、プラグ42及びエッチング封止

層34の周辺部を露出させるように平面化層44上にクラウン孔46が形成される状態を表している。クラウン孔46は平面化層の残り部分44Aにより輪郭形成されている。クラウン孔46は、開口部のサイズが約0.3から0.8 $\mu\text{m}$ の範囲であることが望ましい。図4は又、クラウン孔46を部分的に充填しながらエッチング封止層34、プラグ42及び第一平面化層の残り部分44A上に形成される第一伝導層 (例: 第一ポリシリコン層) 50を表している。第一伝導層 (例: 第一ポリシリコン層) 50はドーピングされたポリシリコンから成り、厚さは約300から500Åの範囲であっても良い。プロセスの後段階で、HSGグレインがポリシリコンから成る第一伝導層上に形成される。代替的には、第一伝導層50は2つの層、即ち、第一タングステン (W) 層及びその上に層を成すチタン窒化物 (TiN) 層から構成される。

【0017】図4は、本発明の好適な実施例を示す。第一伝導層がドーピングされたポリシリコン層50とHSG層52の二つの層から成る。HSG層52はオプションの処理である。図8は、HSG層52なしで形成された本発明のキャパシタを示している。このオプションの処理においては、底部電極棒の表面域を増大させるため、半球状グレイン (HSG) 層52が第一ポリシリコン層50上に形成される。このHSG層は、厚さ (大きさ) が300から700Åの範囲であることが望ましい。図5に示されるように、犠牲層54が第一ポリシリコン層50上に形成され、それによりクラウン孔46が充填される。犠牲層54は、ホウ亜リンケイ酸塩ガラス、シリコン酸化物、又はフォトレジストポリマーから成るのが望ましいが、その中でもフォトレジストポリマーが一番理想的である。犠牲層54は、厚さが約4,500から10,000Åの範囲であるのが好ましい。

【0018】更に図5についてであるが、平面化層の残り部分44Aの上面上の第一ポリシリコン層50 (及び、もし存在すればHSG層52) を露出させるために犠牲層54Aは次にエッチングバックされる。エッチングバックは理想的にはドライエッチングが良い。代替的には、犠牲層に化学的機械的研磨が施されてもよい。図6は、エッチングバック或いは化学的機械的研磨 (CMP) が継続している状態を示す。平面化層の残り部分44A上から、第一ポリシリコン層50 (及び、もし存在すればHSG層52) の上部が取り除かれる。残りの層50は、底部電極棒のクラウンの上部円柱を形成する。第一伝導層の上部50Bは、図に示されるように露出する。併せて、図9の上から見た図も参照されたい。図7を見れば分かるように、犠牲層54及び第一平面化層の残り部分44Aが選択的に取り除かれ、これによりクラウン状の記憶電極棒42、50が形成される。層54、44AはHFディップエッチングを用いて取り除くのが望ましい。フォトレジスト残留物を取り除くには、 $\text{H}_2\text{SO}_4$  や  $\text{H}_2\text{O}_2$  及び  $\text{NH}_4\text{OH}$  を使用するのが好ましい。

【0019】本発明の重要な特長の一つは、選択的エッチング（例：希釈HFエッチング—水蒸気を含まない蒸気HF）から下層の第一絶縁層30を保護する、シリコン酸素窒化物（Si<sub>x</sub>O<sub>y</sub>N<sub>z</sub>）から形成されることが望ましいエッチング封止層34である。さらに、エッチング封止層は大幅に応力を低減させ生産性を向上させるシリコン酸素窒化物から成るのが好ましい。引き続き図7によると、キャパシタ誘電層56と上部電極棒58が、クラウン状記憶電極棒42、50上に形成され、これによりダイナミックランダムアクセスメモリ（DRAM）素子の製造が完成する。キャパシタ誘電層は代表的にはシリコン窒化物、及びシリコン酸化物（NO）或いはON<sub>2</sub>Oの層で構成される。ON<sub>2</sub>O誘電体を作るに当たっては、第一もしくは底部シリコン酸化物（O）層は、通常厚さが約15Åに成長した純酸化物である。シリコン窒化物層（N）は厚さが約80から200Åの範囲になるようLPCVDで形成される。上部シリコン酸化物（O）層は、酸化炉で作ることもできる。ON<sub>2</sub>O全体の厚みは、約100から250Å程度であることが望ましい。

【0020】上部面電極棒58は、本来の場所にドーピングされたポリシリコン層をLPCVD（低圧化学蒸着）により蒸着させて形成するのが望ましい。上部面電極棒の厚さは約1,000から2,000Åの範囲であることが好ましい。代替的には、上部面電極棒はTiN及びW層で構成してもよい。図9は、本発明のクラウンキャパシタを上から見た図を表す。本発明は、基層0.25μmプロセスキャパシタの形成に関して、先行技術を凌駕する多大な利点を提供する。

(1) エッチング封止層は、プラグ42（図2参照）と犠牲層44Aエッチングバック（図6及び図7参照）形成のために、下層の第一絶縁層30を選択的エッチングから保護する。さらに、エッチング封止層34は、応力を低減させ生産性を向上させるシリコン酸素窒化物で構成されていることが望ましい。またエッチング封止層34は、TEOS酸化物のような酸化物質よりエッチング選択性も高い。

【0021】(2) ポリシリコンプラグ42処理は特に0.25μm及びそれよりも小さな処理において、凹凸を減じて焦点深度（DOF）マージンを得ることにより、フォトリソグラフィーの精度を向上させる。ポリシリコンプラグ42処理（図2参照）はエッチング封止層34上にポリシリコン層を形成すること及びポリシリコン層をエッチングバックすることから成る。プロセスにおいてこれほど早期に接続点接触孔を形成することは、平面化層44にクラウン孔46を形成した後に接続点接触孔を形成するという発明者の以前のプロセスと比較してもフォトリソプロセスが向上しており、よって著しく有利である。図4を参照。もし、平面化層44が形成された後に接続点接触孔40が形成されるとすれば、焦点深度（DOF）は感光精度を下げることになるであろう。加えて、

エッチング封止層34は、0.25μm及びそれ以下の製品に対して非常に重要な感光処理である。

【0022】(3) その内表上のみに半球状グレイン（HSG）を有するクラウン円柱電極棒50は外のクラウン壁から落下する可能性のあるHSGグレインを除去する。

(4) 犠牲層54は、フォトリソ物質であるポリマー、或いはホウ亜リンケイ酸塩ガラスから形成することができる。集積回路コンポーネントの製造過程に利用される一般的技術については、多くの出版物の中に詳しく書かれている。例えば、シー・ワイ・チャン、エス・エム・セによる、マクグローヒルカンパニー・インコーポレーション1997年出版の「ULSI技術」を参照されたい。これらの技術は、本発明における構造製造に広くに活用することができる。加えて、このようなプロセスにおける個別の段階は、商業的に入手可能な集積回路製造機械を使用して実現できる。本発明を理解する以上に特に欠かせないものとして、現在の技術に基づいて代表的技術データの説明を行っている。当業者には自明のように、当業界の将来的な発展によって適切な手直しが要求されるであろう。

【0023】本発明は、特に好適実施例に基づき標記記述されているが、本発明の意図と範囲を変えることなく、その形式や詳細において様々な変更が可能であることは、当業者には理解できるところである。本発明における半導体デバイスの特徴及び利点、そして本発明における半導体デバイスのより詳細な製造過程は、符号によって類似のもしくは対応する要素、地帯、部分が示される添付図に関する以下の記述より、より明確に理解される。

#### 【図面の簡単な説明】

【図1】本発明におけるクラウンキャパシタ製造のための方法を示す断面図である。

【図2】本発明におけるクラウンキャパシタ製造のための方法を示す断面図である。

【図3】本発明におけるクラウンキャパシタ製造のための方法を示す断面図である。

【図4】本発明におけるクラウンキャパシタ製造のための方法を示す断面図である。

【図5】本発明におけるクラウンキャパシタ製造のための方法を示す断面図である。

【図6】本発明におけるクラウンキャパシタ製造のための方法を示す断面図である。

【図7】本発明におけるクラウンキャパシタ製造のための方法を示す断面図である。

【図8】本発明における半球状グレイン（HSG）層52を持たないクラウンキャパシタ製造に関わる発明の実施例を描いている断面図である。

【図9】本発明における半導体メモリデバイスのクラウンキャパシタ製造に関わる方法を描いている上部平面

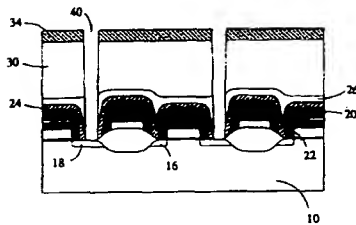


図である。

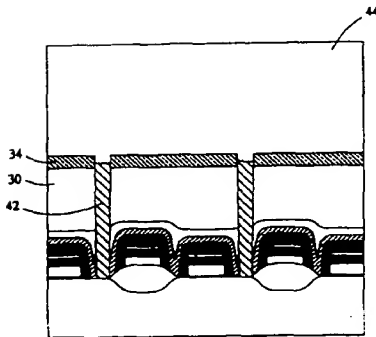
【符号の説明】

- 10 基板
- 16 ドレイン地帯
- 18 ソース地帯
- 20 ゲート構造体
- 22 スペース
- 24 絶縁層
- 26 絶縁層
- 28 ビットライン接触孔
- 29 ビットライン

【図1】

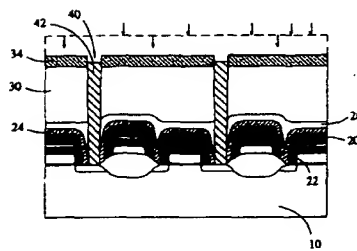


【図3】

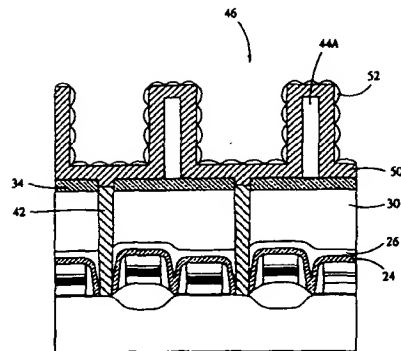


- 30 絶縁層
- 34 エッチング封止層
- 40 接続点接触孔
- 42 プラグ
- 44 平面化層
- 46 クラウン孔
- 50 ポリシリコン層
- 52 HSG層
- 54 犠牲層
- 10 56 キャパシタ誘電層
- 58 電極棒

【図2】

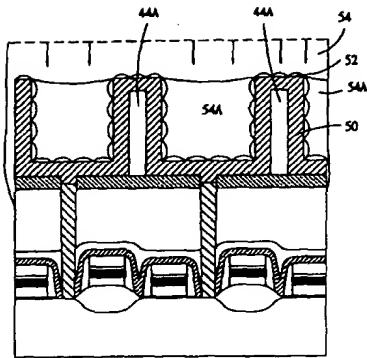


【図4】

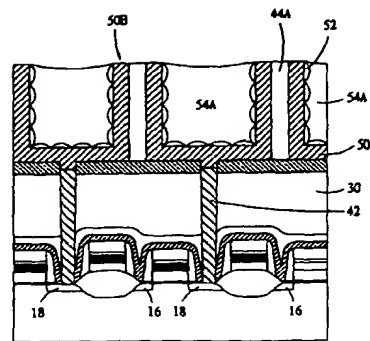




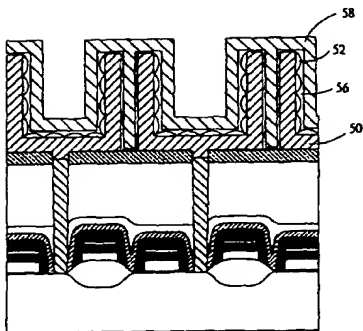
【図5】



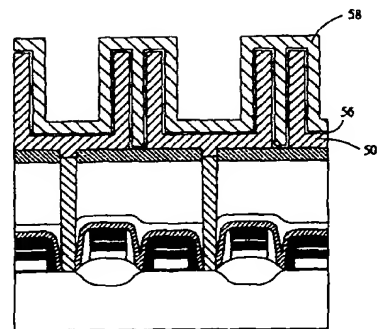
【図6】



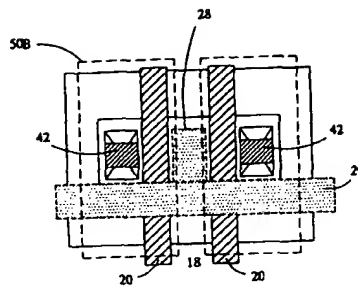
【図7】



【図8】



【図9】



## 【手続補正書】

【提出日】平成11年5月6日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】メモリデバイスのためのクラウンキャパシタを製造するための方法であって、

- (a)半導体デバイス製造の素子形成領域を離れようとするところで、基板の表面上に選択的に素子分離領域を形成する段階と、
- (b)上記基板素子形成領域内に上記デバイス構造体を形成し、そのデバイス構造体は上記基板にキャパシタコンタクト領域を含んだ構成としておく段階と、
- (c)上記デバイス構造体と上記基板上に第一絶縁層を形成する段階と、
- (d)上記第一絶縁層上にエッチング阻止層を形成する段階と、
- (e)上記基板上の上記キャパシタコンタクト領域を露出させるため、上記エッチング阻止層と上記第一絶縁層を通して接続点接触孔を形成する段階と、
- (f)上記キャパシタコンタクト領域と電気的及び機械的に接触させながら上記接続点接触孔を満たすプラグを形成する段階と、
- (g)上記エッチング阻止層と上記プラグ上に平坦化層を形成する段階と、
- (h)上記プラグと上記エッチング阻止層の周辺部を露出させながら上記平坦化層にクラウン孔を形成し、そのクラウン孔は上記平坦化層の残り部分により輪郭形成されるようにする段階と、
- (i)上記クラウン孔を部分的に充填させながら上記エツ

チング阻止層、上記プラグ、及び第一平坦化層の残り部分上に第一ポリシリコン層を蒸着させる段階と、

(j)上記第一ポリシリコン層上に犠牲層を形成しこれにより上記クラウン孔を充填する段階と、

(k)上記平坦化層の上記残り部分上の上記第一ポリシリコン層を露出させるため上記犠牲層の上部を取り除くが、上記犠牲層の上記上部部分は、エッチングバックと化学的機械的研磨から成るグループから選択されたプロセスによって取り除かれる段階と、

(l)上記平坦化層の上記残り部分の上部上の上記第一ポリシリコン層の露出部を取り除く段階と、

(m)上記犠牲層の残り部分と上記平坦化層を選択的に取り除き、それによりクラウン状記憶電極棒を形成する段階と、

(n)上記クラウン状記憶電極棒上にキャパシタ誘電層と上部電極棒を形成する段階、から構成されていることを特徴とする方法。

【請求項2】上記第一ポリシリコン層が、ドーピングされたポリシリコン層と半球状グレイン(HSG)層の二層から成ることを特徴とする請求項1に記載の方法。

【請求項3】デバイスが、ゲート構造体、スペーサー、理想的にはテトラエチルオルトシラン(TEOS)からできたシリコン酸化物から成る第一隔離層、望ましくはシリコン酸化物、ホウ亜リンケイ酸塩ガラス及びホウケイ酸塩ガラス(BSG)から成る第二隔離層、そしてビットライン接触とビットラインから構成されることを特徴とする請求項1に記載の方法。

【請求項4】上記第一絶縁層が、シリコン酸化物、ホウ亜リンケイ酸塩ガラス、及び減圧酸化処理で形成されるシリコン酸化物から成るグループから選択された物質で、形成されることを特徴とする請求項1に記載の方法。

【請求項5】上記接続点接触孔の開口サイズが約0.18から0.35  $\mu\text{m}$ の範囲であることを特徴とする請求項1に記載の方法。

【請求項6】上記プラグがドーピングされたポリシリコンでできており、上記プラグは厚さ約3,000から4,500  $\text{\AA}$ の範囲のドーピングされたポリシリコン層を蒸着させ、上記ドーピングされたポリシリコン層をエッチングすることで形成されることを特徴とする請求項1に記載の方法。

【請求項7】上記平坦化層が、ホウ亜リンケイ酸塩ガラス、シリコン酸化物及びスピノンガラスから成るグループより選択された物質から成り、厚さが約7,000から13,000  $\text{\AA}$ の範囲であることを特徴とする請求項1に記載の方法。

【請求項8】上記クラウン孔における開口部のサイズが約0.3から0.8  $\mu\text{m}$ の範囲であることを特徴とする請求項1に記載の方法。

【請求項9】上記第一ポリシリコン層がドーピングされたポリシリコンから成り、厚さが約300から500  $\text{\AA}$ の範囲であることを特徴とする請求項1に記載の方法。

【請求項10】上記HSG層において、厚さが約300から700  $\text{\AA}$ の範囲であることを特徴とする請求項1に記載の方法。

【請求項11】上記犠牲層が、BPSG、シリコン酸化物、ポリマー、及びフォトレジスト物質から成るグループより選択された物質から形成され、上記犠牲層の厚さが約4,500から10,000  $\text{\AA}$ の範囲であることを特徴とする請求項1に記載の方法。

【請求項12】メモリデバイスのためのクラウンキャパシタを製造するための方法であって、

(a)半導体デバイス製造の素子形成領域を離れようとするところで、基板の表面上に選択的に素子分離領域を形成する段階と、

(b)上記基板素子形成領域内に上記デバイス構造体を形成し、そのデバイス構造体は上記基板にキャパシタコンタクト領域を含んだ構成としておく段階であって、

(1)デバイスがゲート構造体、スペーサー、テトラエチルオルトシラン(TEOS)からできたシリコン酸化物から成る第一隔離層、シリコン酸化物から成る第二隔離層、そしてビットライン接触とビットラインから構成されているそのような段階と、

(c)上記デバイス構造体と上記基板上に第一絶縁層を形成する段階であって、

(1)上記第一絶縁層は、シリコン酸化物、BPSG、及び減圧酸化処理で形成されるシリコン酸化物から成るグループから選択された物質で形成されている、そのような段階と、

(d)上記第一絶縁層上にエッチング阻止層を形成する段階であって、

(1)上記エッチング阻止層は、シリコン窒化物、シリコ

ン酸素窒化物、及びTEOS酸化物から成るグループより選択された物質から形成され、上記エッチング阻止層の厚さが約50から200  $\text{\AA}$ の範囲にある、そのような段階と、

(e)上記基板上の上記キャパシタコンタクト領域を露出させるために、上記エッチング阻止層と上記第一絶縁層を通して接続点接触孔を形成する段階であって、

(1)上記接続点接触孔の開口サイズが約0.18から0.35  $\mu\text{m}$ の範囲であるそのような段階と、

10 (f)上記キャパシタコンタクト領域と電氣的及び機械的に接触させながら上記接続点接触孔を満たすプラグを形成する段階であって、

(1)上記プラグがドーピングされたポリシリコンでできており、上記プラグは厚さ約3,000から4,500  $\text{\AA}$ の範囲のドーピングされたポリシリコン層を蒸着させて、上記ドーピングされたポリシリコン層をエッチングすることで形成されている、そのような段階と、

(g)上記エッチング阻止層と上記プラグ上に平坦化層を形成する段階であって、

20 (1)上記平坦化層が、ホウ亜リンケイ酸塩ガラス、シリコン酸化物、及びスピノンガラスから成るグループより選択された物質から成り、その厚さが約7,000から13,000  $\text{\AA}$ の範囲にある、そのような段階と、

(h)上記プラグと上記エッチング阻止層の周辺部を露出させながら上記平坦化層にクラウン孔を形成し、そのクラウン孔は上記平坦化層の残り部分により輪郭形成されるようにする段階であって、

(1)上記クラウン孔の開口部のサイズが、約0.3から0.8  $\mu\text{m}$ の範囲にある、そのような段階と、

30 (i)上記クラウン孔を部分的に充填させながら上記エッチング阻止層、上記プラグ、及び第一平坦化層の残り部分上に第一ポリシリコン層を蒸着させる段階であって、

(1)上記第一ポリシリコン層がドーピングされたポリシリコンから成り厚さが約300から500  $\text{\AA}$ の範囲にある、そのような段階と、

(j)上記第一ポリシリコン層上に半球状グレイン(HSG)層を形成する段階であって、

40 (1)上記HSG層の厚さは約300から700  $\text{\AA}$ の範囲にある、そのような段階と、

(k)上記第一ポリシリコン層上に犠牲層を形成しこれにより上記クラウン孔を充填する段階であって、

(1)上記犠牲層が、BPSG、シリコン酸化物、ポリマー、或いはフォトレジスト物質から成るグループより選択された物質から形成され、上記犠牲層の厚さが約4,500から10,000  $\text{\AA}$ の範囲にある、そのような段階と、

50 (1)上記平坦化層の上記残り部分上の上記第一ポリシリコン層を露出させるため上記犠牲層の上部を取り除くが、上記犠牲層の上記上部部分は、エッチングバックと化学的機械的研磨から成るグループから選択されたプロ

セスによって取り除かれる段階と、  
(m)上記平坦化層の上記残り部分の上部上の上記第一ポリシリコン層の露出部を取り除く段階と、  
(n)上記犠牲層の残り部分と上記平坦化層を選択的に取り除き、それによりクラウン状記憶電極棒を形成する段

階と、  
(o)上記クラウン状記憶電極棒上にキャパシタ誘電層と上部電極棒を形成する段階、から構成されていることを特徴とする方法。

## 〔外国語明細書〕

## Method For Crown Type Capacitor In Dynamic Random Access Memory

## Background of Invention

## 1) Field of the Invention

This invention relates generally to the fabrication of capacitors in a DRAM cell and particularly to a method for fabricating capacitors over bit lines with large capacitance and more particularly to a method for fabricating a crown cylindrical capacitor.

## 2) Description of the Prior Art

Very large scale integration (VLSI) semiconductor technologies have dramatically increased the circuit density on a chip. The miniaturized devices built in and on semiconductor substrates are very closely spaced and their packing density has increased significantly. More recent advances in photolithographic techniques, such as phase-shifting masks, and self-aligning process steps have further reduced the device sized and increased circuit density. This has lead to ultra large scale integration (ULSI) with minimum device dimensions less than a micrometer and more than a million transistors on a chip. With this improved integration, some circuit elements experience electrical limitation due to their down sizing.

One such circuit element experiencing electrical limitations is the array of storage cells on a dynamic random access memory (DRAM) chip. These individual DRAM storage cells, usually consisting of a single metal-oxide-semiconductor field effect transistor

(MOS-FET) and a single capacitor are used extensively in the electronic industry for storing data. A single DRAM cell stores a bit of data on the capacitor as electrical charge. The decrease in cell capacitance caused by reduced memory cell area is a serious obstacle to increasing packing density in dynamic random access memories (DRAMs). Thus, the problem of decreased cell capacitance must be solved to achieve higher packing density in a semiconductor memory device, since decreased cell capacitance degrades read-out capability and increases the soft error rate of the memory cell as well as consumes excessive power during low-voltage operation by impeding device operation. Therefore, stacked capacitors having a three-dimensional structure have been suggested to improve cell capacitance. Such stacked capacitors include, for example, double-stacked, fin-structured, cylindrical, spread-stacked, and box structured capacitors.

The following US patents show related processes and capacitor structures: US 5,543,345 (Liaw et al.), US 5,550,076 (Chen), US 5,604,146 (Tseng), and US 5,491,103 (Ahn et al.). US 5,545,584 (Wuu et al.) shows a unified contact plug process. However, many of the prior art methods require substantially more processing steps or/and planar structures which make the manufacturing process more complex and costly.

There is a challenge to develop methods of manufacturing these capacitors that minimize the manufacturing costs and maximize the device yields. In particular, there is a challenge to develop a method that minimizes the number of photoresist masking operations and to provide maximum process tolerance to maximize product yields. There is also a challenge to develop a capacitor which is not limited in size by the photolithographic techniques.

### Summary of the Invention

It is an object of the present invention to provide a method for fabricating a capacitor having a high density and capacitance.

It is an object of the present invention to provide a method for fabricating a DRAM having capacitor having a high density and capacitance which is low cost and simple to manufacture.

It is an object of the present invention to provide a method for fabricating a capacitor which can overcome the limitations of photographic techniques and which reduces the number of masking steps.

It is an object of the present invention to provide a method for fabricating a dynamic random access memory (DRAM) having capacitor having a high density and capacitance which is low cost and simple to manufacture.

It is another object of the present invention to provide a method for fabricating a crown capacitor having Hemispherical grains (HSG) deposited on the inside of the crown so to avoid problems from the HSG strip grain inducing leakage.

To accomplish the above objectives, the present invention provides a method of manufacturing a crown capacitor for a memory device, which is characterized:



- a) See figure 1 - selectively form isolation areas 12 on the surface of a substrate 10 while leaving device areas for the fabrication of semiconductor devices;
- b) form device structures 20 22 24 26 28 29 within the device areas of the substrate wherein in the device structure includes a capacitor node contact region 18 (e.g., drain region) in the substrate 10;
- c) figure 1 - form a first insulating layer 30 over the device structures and the substrate 10;
- d) figure 2 - form an etch barrier layer 34 over the first insulating layer;
- e) form a node contact hole 40 through the etch barrier layer 34 and the first insulating layer 30 to expose the capacitor node contact region on the substrate;
- f) figure 2 - form a plug 42 filling the node contact hole 40 making electrical and mechanical contact with the capacitor node contact region 18;
- g) figure 3 - form a planarizing layer 44 over the etch barrier layer 34 and the plug 42;
- h) form a crown hole 46 in the planarizing layer 44 exposing the plug 42 and surround portions of the etch barrier layer 34; the crown hole is defined by remaining portions of the planarizing layer 44A;
- i) Figure 4 - deposit a first polysilicon layer 50 over the etch barrier layer, the plug 42, and the remaining first planarizing layer 44A partially fill the crown hole;
- j) - optional process - form a HSG layer 52 over the first polysilicon layer 50;

- k) figure 5 = form a sacrificial layer 54 composed of borophosphosilicate glass over the first polysilicon layer 50 thereby filling the crown hole 46;
- l) remove top portions of the sacrificial layer 54 to expose the first polysilicon layer over the remain portion of the planarizing layer 44A; the top portions of the sacrificial layer 54 removed by etching back and chemical-mechanical polish;
- m) remove the exposed portions of the first polysilicon layer 50 over the top the remain portion of the planarizing layer 44A;
- n) selectively remove the remain portions of the sacrificial layer 54 and the planarizing layer 44A thereby forming a crown shaped storage electrode 42 50; and
- o) form a capacitor dielectric layer 56 and a top electrode 58 over the crown shaped storage electrode 42 50.

Preferably, the first insulating layer composed of a material selected from the group consist of silicon oxide, BPSG, and silicon oxide formed by a Sub atmospheric - oxide process.

Preferably, the etch barrier layer is composed silicon nitride, silicon oxynitride or TEOS oxide, and the etch barrier layer 34 has a thickness in a range of between about 50 and 200 Å.

Preferably, the node contact hole 40 has an open dimension in a range of between about 0.15 and 0.35  $\mu\text{m}$ .

Preferably, the plug 42 is composed of doped polysilicon; the plug formed by depositing a layer of doped polysilicon with a thickness in a range of between about 3000 and 4500 Å and etching back the layer of doped polysilicon.

Preferably, the planarizing layer 44 is composed of borophosphosilicate glass, silicon oxide, or spin-on-glass, and has a thickness in a range of between about 7000 and 13,000 Å.

Preferably, the crown hole 46 has an open dimension in a range of between about 0.3 and 0.8 μm.

Preferably, the first polysilicon layer 50 composed of doped polysilicon and has a thickness in a range of between about 300 and 500 Å.

Preferably, the Hemispherical grains (HSG) layer has a thickness in a range of between about 300 and 700 Å.

Preferably, the sacrificial layer 54 is formed of borophosphosilicate glass, silicon oxide, polymer or photo resistant material, and the sacrificial layer has a thickness in a range of between about 4500 and 10,000 Å.

The present invention achieves these benefits in the context of known process technology. However, a further understanding of the nature and advantages of the present

invention may be realized by reference to the latter portions of the specification and attached drawings. The invention has the following benefits:

① The etch barrier layer 34 protects the underlying first insulating layer 30 from the selective etches for forming the plug 42 (See figure 2) and the sacrificial layer 44A etchback ( See figures 6 and 7). Moreover, the etch barrier layer 34 is preferably composed of silicon oxynitride which reduces stress and improves yields. The etch barrier layer 34 also has a high etch selectivity than an oxide such as TEOS oxide.

② The polysilicon plug 42 process improves the photolithography accuracy, especially in the 0.25 $\mu$ m and smaller processes, by gaining depth of focus (DOF) margin by reducing topography. A conventional plug hole would be defined after the crown hole 46 etch (see figure 4). The polysilicon plug 42 process (See figure 2) comprises forming a polysilicon layer over the etch barrier layer 34 and etching back the polysilicon layer.

③ The crown cylinder electrode 50 having Hemispherical grains (HSG) 52 only on the inside surfaces eliminates HSG grains that could falls from the outside crown walls.

Additional objects and advantages of the invention will be set forth in the description that follows, and in part will be obvious from the description, or may be learned by practice of the invention. The objects and advantages of the invention may be realized and obtained by means of instrumentalities and combinations particularly pointed out in the append claims.

#### Brief Description of the Drawings

The features and advantages of a semiconductor device according to the present invention and further details of a process of fabricating such a semiconductor device in accordance with the present invention will be more clearly understood from the following description taken in conjunction with the accompanying drawings in which like reference numerals designate similar or corresponding elements, regions and portions and in which:

Figures 1 through 7 are cross sectional views for illustrating a method for manufacturing a crown capacitor according to the present invention.

Figure 8 is a cross sectional view for illustrating an embodiment of the invention for manufacturing a crown capacitor without the Hemispherical grains (HSG) layer 52 according to the present invention.

Figure 9 is a top plan view for illustrating a method for manufacturing a crown capacitor of a semiconductor memory device according to the present invention.

#### Detailed Description of the Preferred Embodiments

The present invention will be described in detail with reference to the accompanying drawings. The present invention provides a method of forming a crown capacitor over a bit line. Key features are the etch barrier layer 34 and the early plug 42 formation process.

In the following description numerous specific details are set forth such as flow rates, pressure settings, thicknesses, etc., in order to provide a more thorough understanding of the present invention. It will be obvious, however, to one skilled in the art that the present invention may be practiced without these details. In other instances, well known processes have not been described in detail in order to not unnecessarily obscure the present invention.

It should be well understood by one skilled in the art that by including additional process steps not described in this embodiment, other types of devices can also be included on the DRAM chip. For example, P wells in the P substrate and CMOS circuit can be formed therefrom. It should also be understood that the figures depict only one DRAM storage cell out of a multitude of cells that are fabricated simultaneously on the substrate. Also, the capacitor can be used in other chip types in addition to DRAM chips. It should be also understood that the figures show N-MOS devices, but P-MOS devices or a combination of N and P-MOS devices can be simultaneously formed on the substrate.

The method for manufacturing a crown capacitor for a memory device begins by selectively forming isolation areas 12 on the surface of a substrate 10 while leaving device areas of fabrication of semiconductor devices.

Substrate 10 is understood to possibly include a semiconductor wafer, active and passive devices formed within the wafer and layers formed on the wafer surface. The term "substrate" is meant to include devices formed within a semiconductor wafer and the layers overlying the wafer.

Figure 1 illustrates device structures 20 22 24 26 formed within the device areas of the substrate wherein in the device structure includes a capacitor node contact region 18 (e.g., source region) within the substrate 10.

The devices can comprise gate structures 20, spacers 22, source 18 and drain 16 regions, a first isolation layer 24, and a second isolation layer 26.

The gate structures 20 preferably comprise a gate oxide layer, a polysilicon/polycide layer, and a top gate isolation layer (all shown as layer 20). Source 18 and drain regions 16 are formed in the substrate using conventional processes. One of these doped regions is the capacitor node contact region where the bottom electrode of the capacitor will contact. The gate structure is part of the MOS memory device being formed. Preferably spacers 22 are formed on the sidewalls of the gate structure 20.

The first isolation layer 24 is preferably composed of silicon oxide formed by a TetraEthylOrthoSilane (TEOS) process and preferably has a thickness in a range of between about 300 and 2000 Å.

The second isolation layer 26 is preferably composed of oxide, borophosphosilicate glass (BPSG), phosphosilicate glass, borosilicate glass (BSG), and preferably has a thickness in a range of between about 2000 and 4500 Å.

The invention forms a capacitor over bit line (COB) structure. A bit line contact hole 28 (shown in top view figure 9) is preferably formed through first isolating layer 30



and second isolation layer that exposes the underlying bit lines. Next, the bit line contact hole 28 is filled with a polysilicon from a second polysilicon layer to form a bit line plug and bit line 29. This forms a capacitor over Bitline (COB) DRAM structure. This structure is more dense and allows more capacitor area.

As shown in figure 1, a first insulating layer 30 is formed over the second isolation layer 26, device structures, bit lines and the substrate 10. The first insulating layer is preferably composed of silicon oxide, BPSG, silicon oxide formed by a SA-oxide process, and is most preferably composed of borophosphosilicate glass (BPSG). The first insulation layer preferably has a thickness in a range of between about 4500 and 6000 Å.

As shown in figure 2, an etch barrier layer 34 is formed over the first insulating layer 30. The etch barrier layer 34 is preferably composed of silicon nitride (SiN), silicon oxynitride, phosphosilicate glass and TEOS oxide, and more preferably is SiN or silicon oxynitride and most preferably formed of SiN. The etch barrier layer 34 composed of SiN or Silicon oxynitride preferably has a thickness in a range of between about 55 and 200 Å. The etch barrier layer 34 composed of TEOS or PSG preferably has a thickness in a range of between about 100 and 300 Å.

#### Formation Of Node Contact Hole 40 And Poly Plug 42 Before Crown 50B

In a key step, a node contact hole 40 is formed through to the etch barrier layer 34 and the first insulating layer 30 to expose the capacitor node contact region 18 on the substrate 10. The node contact hole 40 preferably has an open dimension in a range of between

about 0.18 and 0.35 $\mu$ m. The formation of the node contact hole this early in the process is a significant benefit as the photo process is improved compared to the inventor's former process where the node contact hole was formed after the formation of crown hole 46 in the planarizing layer 44. See figure 4. In addition the etch barrier layer 34 is critical the photo process for 0.25  $\mu$ m products and below.

Referring to figure 2, a plug 42 is formed filling the node contact hole 40 making electrical and mechanical contact with the capacitor node contact region 18. The plug 42 is preferably composed of doped polysilicon. The plug is preferably formed by depositing a layer of doped polysilicon with a thickness in a range of between about 3000 and 4000 Å; and etching back or chemical-mechanical polishing back the layer of doped polysilicon.

The invention's polysilicon plug 42 process can gain more (DOF) depth of focus margin in photo of 0.25 $\mu$ m process. The polysilicon plug 42 process (See figure 2) comprises forming a polysilicon layer over the etch barrier layer 34 and etching back the polysilicon layer). In contrast, the conventional method of forming the node contact is to etch through layers 30 and 44 at the same time.

Turning to figure 3, a planarizing layer 44 is formed over the etch barrier layer 34 and the plug 42. The planarizing layer 44 is preferably composed of borophosphosilicate glass (BPSG), silicon oxide, and spin-on-glass (SOG), and is most preferably formed of BPSG and preferably has a thickness in a range of between about 7000 and 13000 Å.

Figure 4 shows a crown hole 46 is formed in the planarizing layer 44 exposing the plug 42 and surrounding portions of the etch barrier layer 34. The crown hole 46 is defined by remaining portions of the planarizing layer 44A. The crown hole 46 preferably has an open dimension in a range of between about 0.3 and 0.8  $\mu\text{m}$ .

Figure 4 also shows a first conductive layer (e.g., first polysilicon layer) 50 formed over the etch barrier layer, the plug 42, and the remaining portions of the first planarizing layer 44A partially filling the crown hole 46. The first conductive layer (e.g., first polysilicon layer 50) can be composed of doped polysilicon and having a thickness in a range of between about 300 and 500 Å. Later in the process HSG grains can be formed over the first conductive layer 50 formed of polysilicon. In an alternate, the first conductive layer 50 is composed of two layers: a first tungsten (W) layer and a overlying titanium nitride (TiN) layer.

Figure 4 shows a preferred embodiment of the invention. The first conductive layer is comprised of two layers, a doped polysilicon layer 50 and a HSG layer 52. The HSG layer 52 is an optional process. Figure 8 shows the capacitor of the invention formed without the HSG layer 52. In the optional process, a hemispherical silicon grain (HSG) layer 52 is formed over the first polysilicon layer 50 to increase the surface area of the bottom electrode. The HSG layer preferably has a thickness (or diameter) in a range of between about 300 and 700 Å.

As shown in figure 5, a sacrificial layer 54 is formed over the first polysilicon layer 50 thereby filling the crown hole 46. The sacrificial layer 54 is preferably composed of borophosphosilicate glass, silicon oxide or a photo resistant polymer, and most preferably

composed of a photo resistant polymer. The sacrificial layer 54 preferably has a thickness in a range of between about 4500 and 10,000 Å.

Still referring to figure 5, the sacrificial layer 54A is next etched back to expose the first polysilicon layer 50 (and the HSG layer 52 if present) over the top surface of the remaining portions of the planarizing layer 44A. The etchback is preferably a dry etch. Alternately, the sacrificial layer can be chemical-mechanical polished back.

Referring to figure 6, the etch back or chemical-mechanical polish (CMP) continues. The top portions first polysilicon layer 50 (and the HSG layer 52 if present) are removed for over the top the remaining portion of the planarizing layer 44A. The remaining layer 50 forms the top cylinder of the crown of the bottom electrode. The top 50B of the first conductive layer is exposed as shown. Also see top down view figure 9.

Referring to figure 7, the sacrificial layer 54 and remaining portions of the first planarizing layer 44A are selectively removed thereby forming a crown shaped storage electrode 42 50. The layers 54 44A are preferably removed using a HF dip etch.  $H_2SO_4$  and  $H_2O_2$  and  $NH_4OH$  are preferably used remove photo resistant residue.

An important feature of the invention is the etch barrier layer 34, preferably formed of silicon oxynitride ( $Si_3O_5N_2$ ) that protects the underlying first insulating layer 30 from <sup>Vapor HF (without water vapor)</sup> the selective etch (e.g., dilute HF etch). Moreover, the etch barrier layer is preferably composed of silicon oxynitride which significantly reduces stress and improves yields.

Still referring to figure 7, a capacitor dielectric layer 56 and a top electrode 58 are formed over the crown shaped storage electrode 42 50 to complete the fabrication of the dynamic random access memory (DRAM) cell. The capacitor dielectric layer is typically composed of layers of Silicon nitride and silicon oxide (NO), or ONO. In making the ONO dielectric, the first or bottom silicon oxide (O) layer is usually a native oxide grown to thickness of about 15 Å. The silicon nitride layer (N) is formed by LPCVD to give a resulting thickness of between about 80 and 200 Å. The top silicon oxide (O) layer may be formed in an oxidation furnace. The total ONO thickness is preferably in the order of between about 100 and 250 Å.

The top plate electrode 58 is preferably formed by depositing an in-situ doped polysilicon layer by LPCVD (Low pressure chemical vapor deposition). The top plate electrode preferably has a thickness in a range of between about 1000 and 2000 Å. Alternately, the top plate electrode can be formed of TiN and W layers.

Figure 9 shows a top down view of the crown capacitor of the present invention.

The invention provides many benefits over the prior art for forming a sub 0.25 µm process capacitor.

① The etch barrier layer 34 protects the underlying first insulating layer 30 from the selective etches for forming the plug 42 (See figure 2) and the sacrificial layer 44A etchback ( See figures 6 and 7). Moreover, the etch barrier layer 34 is preferably composed of

silicon oxynitride which reduces stress and improves yields. The etch barrier layer 34 also has a high etch selectivity than an oxide such as TEOS oxide.

② The polysilicon plug 42 process improves the photolithography accuracy, especially in the 0.25 $\mu$ m and smaller processes, by gaining depth of focus (DOF) margin by reducing topography. The polysilicon plug 42 process (See figure 2) comprises forming a polysilicon layer over the etch barrier layer 34 and etching back the polysilicon layer). The formation of the node contact hole this early in the process is a significant benefit as the photo process is improved compared to the inventor's former process where the node contact hole 40 was formed after the formation of crown hole 46 in the planarizing layer 44. See figure 4. If the node contact hole 40 was formed after the planarizing layer 44 was formed, the photo depth of focus (DOF) would decrease the photo precision. In addition, the etch barrier layer 34 is critical the photo process for 0.25  $\mu$ m products and below.

③ The crown capacitor having HSG only on the inside surfaces eliminates HSG grains that could fall from the outside crown walls 50.

④ The sacrificial layer 54 can be formed of a photo resistant material, a polymer, or borophosphosilicate glass.

It should be recognized that many publications describe the details of common techniques used in the fabrication process of integrate circuit component. See, e.g., C.Y. Chang, S.M. Sze, in *ULSI Technology*, by The McGraw-Hill Company, Inc. copyright 1997. Those techniques can be generally employed in the fabrication of the structure of the present invention.

Moreover, the individual steps of such a process can be performed using commercially available integrate circuit fabrication machines. As specifically necessary to than understanding of the present invention, exemplary technical data are set forth based upon current technology. Future developments in the art may call for appropriate adjustments as would be obvious to one skilled in the art.

While the invention has been particularly shown and described with reference to the preferred embodiments thereof, it will be understood by those skilled in the art that various changes in form and details may be made without departing from the spirit and scope of the invention.

What is claimed is:



1. A method for manufacturing a crown capacitor for a memory device, comprising the steps of:

- a) selectively forming isolation areas on the surface of a substrate while leaving device areas of fabrication of semiconductor devices;
- b) forming device structures within said device areas of said substrate wherein in said device structure includes a capacitor node contact region in said substrate;
- c) forming a first insulating layer over said device structures and said substrate;
- d) forming an etch barrier layer over said first insulating layer;
- e) forming a node contact hole through to said etch barrier layer and said first insulating layer to expose said capacitor node contact region on said substrate;
- f) forming a plug filling said node contact hole making electrical and mechanical contact with said capacitor node contact region;
- g) forming a planarizing layer over said etch barrier layer and said plug;
- h) forming a crown hole in said planarizing layer exposing said plug and surrounding portions of said etch barrier layer; said crown hole is defined by remaining portions of said planarizing layer;
- i) depositing a first polysilicon layer over said etch barrier layer, said plug, and the remaining planarizing layer partially filling said crown hole;

- j) forming a sacrificial layer over said first polysilicon layer thereby filling said crown hole;
  - k) removing top portions of said sacrificial layer to expose said first polysilicon layer over said remaining portion of said planarizing layer; said top portions of said sacrificial layer removed by a process selected from the group consisting of etching back and chemical-mechanical polish;
  - l) removing the exposed portions of said first polysilicon layer over the top said remaining portion of said planarizing layer;
  - m) selectively removing the remaining portions of said sacrificial layer and said planarizing layer thereby forming a crown shaped storage electrode; and
  - n) forming a capacitor dielectric layer and a top electrode over said crown shaped storage electrode.
2. The method of claim 1 wherein said first polysilicon layer is comprised of two layers, a doped polysilicon layer and a Hemispherical grains (HSG) layer.
  3. The method of claim 1 wherein devices comprise gate structures, spacers, first isolation layer preferably composed of silicon oxide formed by a TetraEthylOrthoSilane (TEOS) process, a second isolation layer preferably composed of silicon oxide, borophosphosilicate glass, phosphosilicate glass and borosilicate glass (BSG); and a bit line contact and bit line.
  4. The method of claim 1 wherein said first insulating layer composed of a material selected from the group consisting of silicon oxide, borophosphosilicate glass, and silicon oxide formed by a Sub atmospheric - oxide process.
  5. The method of claim 1 wherein said node contact hole has an open dimension in a range of between about 0.18 and 0.35  $\mu\text{m}$ .

6. The method of claim 1 wherein said plug is composed of doped polysilicon; said plug formed by depositing a layer of doped polysilicon with a thickness in a range of between about 3000 and 4500 Å and etching back said layer of doped polysilicon.
7. The method of claim 1 wherein said planarizing layer composed of a material selected from the group consisting of borophosphosilicate glass, silicon oxide, and spin-on-glass, and a thickness in a range of between about 7000 and 13,000 Å.
8. The method of claim 1 wherein said crown hole having an open dimension in a range of between about 0.3 and 0.8 μm.
9. The method of claim 1 wherein said first polysilicon layer composed of doped polysilicon and having a thickness in a range of between about 300 and 500 Å.
10. The method of claim 1 wherein said HSG layer having a thickness in a range of between about 300 and 700 Å.
11. The method of claim 1 wherein said sacrificial layer is formed of a material selected from the group consisting of BPSG, silicon oxide, polymer, and photo resistant material, and said sacrificial layer having a thickness in a range of between about 4500 and 10,000 Å.
12. A method for manufacturing a crown capacitor for a memory device, comprising the steps of:
  - a) selectively forming isolation areas on the surface of a substrate while leaving device areas of fabrication of semiconductor devices;
  - b) forming device structures within said device areas of said substrate wherein in said device structure includes a capacitor node contact region in said substrate;

- (1) devices comprise gate structures, spacers, a first isolation layer composed of silicon oxide formed by a TetraEthylOrthoSilane (TEOS) process, a second isolation layer composed of silicon oxide, a bit line contact and bit line;
- c) forming a first insulating layer over said device structures and said substrate;
  - (1) said first insulating layer composed of a material selected from the group consisting of silicon oxide, BPSG, and silicon oxide formed by a Sub-atmospheric - oxide process;
- d) forming an etch barrier layer over said first insulating layer;
  - (1) said etch barrier layer composed of a material selected from the group consisting of silicon nitride, silicon oxynitride and TEOS oxide, and said etch barrier layer having a thickness in a range of between about 50 and 200 Å;
- e) forming a node contact hole through to said etch barrier layer and said first insulating layer to expose said capacitor node contact region on said substrate;
  - (1) said node contact hole has an open dimension in a range of between about 0.18 and 0.35  $\mu\text{m}$ ;
- f) forming a plug filling said node contact hole making electrical and mechanical contact with said capacitor node contact region;

- (1) said plug composed of doped polysilicon; said plug formed by depositing a layer of doped polysilicon with a thickness in a range of between about 3000 and 4500 Å and etching back said layer of doped polysilicon;
- g) forming a planarizing layer over said etch barrier layer and said plug;
  - (1) said planarizing layer composed of a material selected from the group consisting of borophosphosilicate glass, silicon oxide, and spin-on-glass, and a thickness in a range of between about 7000 and 13,000 Å;
- h) forming a crown hole in said planarizing layer exposing said plug and surrounding portions of said etch barrier layer; said crown hole is defined by remaining portions of said planarizing layer;
  - (1) said crown hole having an open dimension in a range of between about 0.3 and 0.8 μm;
- i) depositing a first polysilicon layer over said etch barrier layer, said plug, and the remaining planarizing layer partially filling said crown hole;
  - (1) said first polysilicon layer composed of doped polysilicon and having a thickness in a range of between about 300 and 500 Å;
- j) forming a Hemispherical grains (HSG) layer over said first polysilicon layer;

- (1) said Hemispherical grains (HSG) layer having a thickness in a range of between about 300 and 700 Å;
- k) forming a sacrificial layer over said first polysilicon layer thereby filling said crown hole;
  - (1) said sacrificial layer is formed of a material selected from the group consisting of BPSG, silicon oxide, polymer and photoresistant material, and said sacrificial layer having a thickness in a range of between about 4500 and 10,000 Å;
- l) removing top portions of said sacrificial layer to expose said first polysilicon layer over said remaining portion of said planarizing layer; said top portions of said sacrificial layer removed by a process selected from the group consisting of etching back and chemical-mechanical polish;
- m) removing the exposed portions of said first polysilicon layer over the top of said remaining portion of said planarizing layer;
- n) selectively removing the remaining portions of said sacrificial layer and said planarizing layer thereby forming a crown shaped storage electrode; and
- o) forming a capacitor dielectric layer and a top electrode over said crown shaped storage electrode.

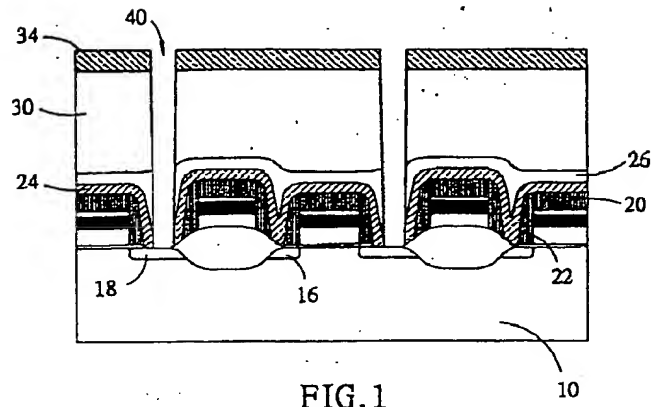


FIG. 1

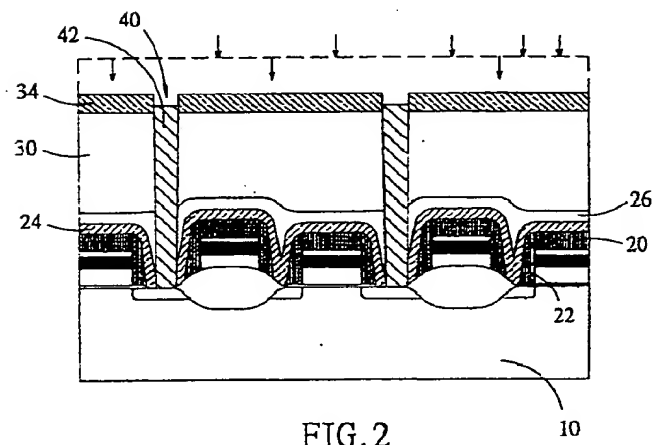


FIG. 2



2

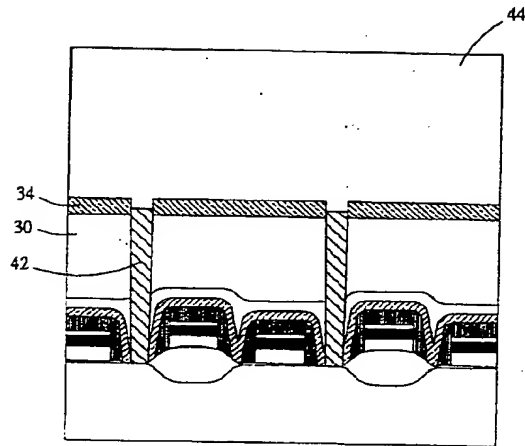


FIG.3

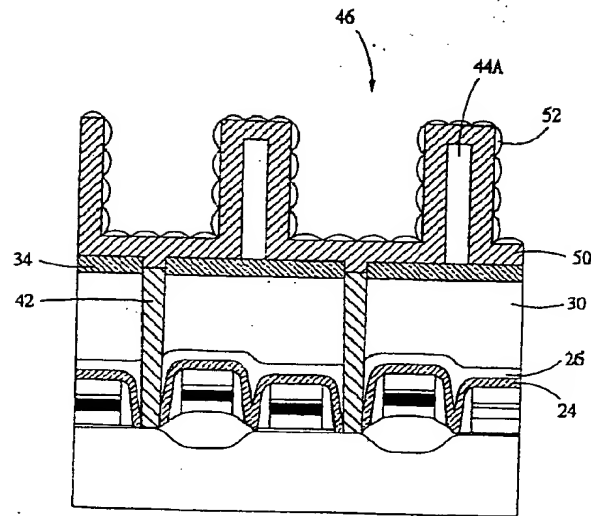


FIG. 4

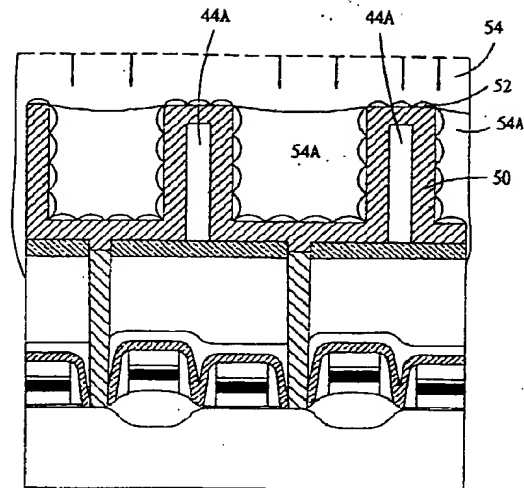


FIG. 5

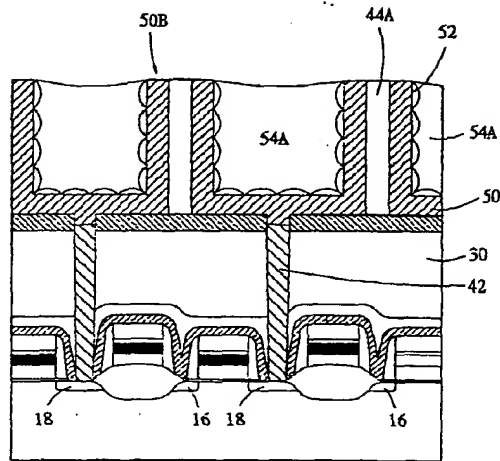


FIG. 6

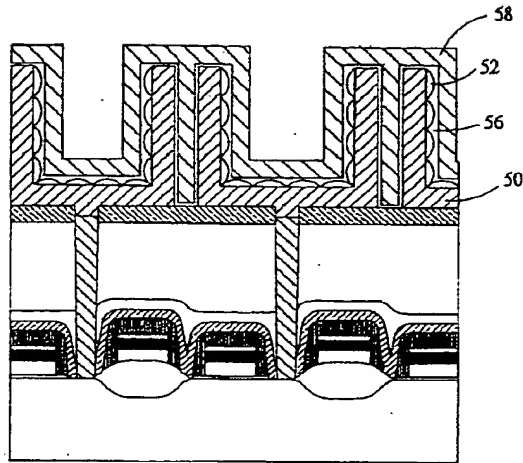


FIG. 7

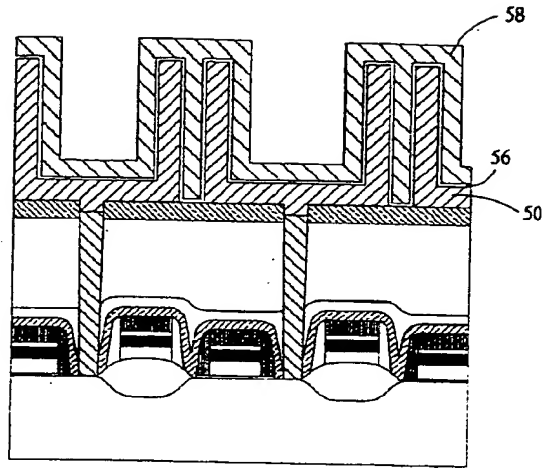


FIG.8

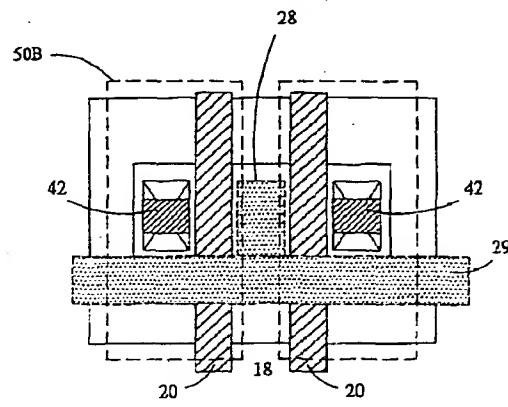


FIG. 9

## Abstract

A crown capacitor for a memory device is formed using (1) an important early poly plug 42 process and (2) an etch barrier layer 34. A first insulating layer 30 and an etch barrier layer are formed over device structures and the substrate 10. A node contact hole 40 is formed through the etch barrier layer 34 and the first insulating layer 30. A plug 42 is formed filling the node contact hole 40. Next, a planarizing layer 44 is formed over the etch barrier layer 34 and the plug 42. A crown hole 46 is formed in the planarizing layer 44 exposing the plug 42. A first polysilicon layer 50 is deposited over the etch barrier layer, the plug 42, and the remaining first planarizing layer 44A. A sacrificial layer 54 is formed over the first polysilicon layer 50 thereby filling the crown hole 46. The sacrificial layer 54 and the first polysilicon layer 50 are etch back to remove the exposed portions of the first polysilicon layer 50 over the planarizing layer 44A. The sacrificial layer 54 is selectively removed thereby forming a crown shaped storage electrode 42 50.